

VHDL- och FPGA-konstruktion

Kvällspass 1 (VHDL)

Introduktion till VHDL och ModelSim

Lab: Konstruktion av en komponent i VHDL

Parallell VHDL

Lab: Parallell VHDL

Sekvensiell VHDL

Genomgång av distanslaborationer och distansstudier

Kvällspass 2 (Xilinx, Altera och VHDL)

Introduktion till Xilinx FPGAs

Introduktion till Xilinx ISE

Lab: Xilinx, ISE

Fortsatt genomgång av VHDL

Structural VHDL

Lab: Structural VHDL och ISE

Tillståndsmaskiner

Introduktion till Altera och Quartus II.

Genomgång av distanslaborationer, labbplatta och distansstudier

Kvällspass 3 (VHDL, metodik och FPGA-projekt)

Sammanfattning av olika konstruktionsstilar i VHDL

Konstruktionsmetodik

Projekt, konstruktion av en 8-bitars CPU

- CPU Arkitektur
- Hur man konstruerar en CPU med VHDL
- Projektgenomgång
- ...

Lab: Start av projektet

Genomgång av återstående del av projektet (distans)

Kvällspass 4 (projekt, summering)

Frågor och hjälp i projektet.

Genomgång inför integration och systemsimulering av projektet

Frågestund, ev. rep. eller genomgång enl. önskemål

Sammanfattning